

IBIS Summit & DesignCon2019 視察報告

2019年1月29日～2月1日 Santa Clara, California

EDAモデル専門委員会

川田 三世 (アンシス・ジャパン株式会社)

遠藤 聡 (アポロ技研株式会社)

概要

- **期間：** DesignCon2019：2019年1月29日(火)～1月31日(木)
IBIS Summit：2019年2月1日(金)
- **開催地：** アメリカ合衆国 カリフォルニア州 サンタ・クララ コンベンションセンター
- **目的：** EDAモデル専門委員会代表として
IBIS Open Forum運営メンバと活動情報共有
およびDesignCon2019/ IBIS Summit 調査



- **出張者：**
 - 主査 川田 三世 (アンシス・ジャパン株式会社)
 - 委員 遠藤 聡 (アポロ技研株式会社)

DesignCon 2019

- DesignCon : 高速通信、半導体通信領域の部品・基板・システム設計技術者向けのカンファレンス
- キャッチフレーズ : **WHERE THE CHIP MEETS THE BOARD**
- 開催期間
 - Conference : 2019/1/29(火) - 1/31(木)
 - 展示会 : 2019/1/29(火) - 1/31(木)



15 tracks, 100 Sessions



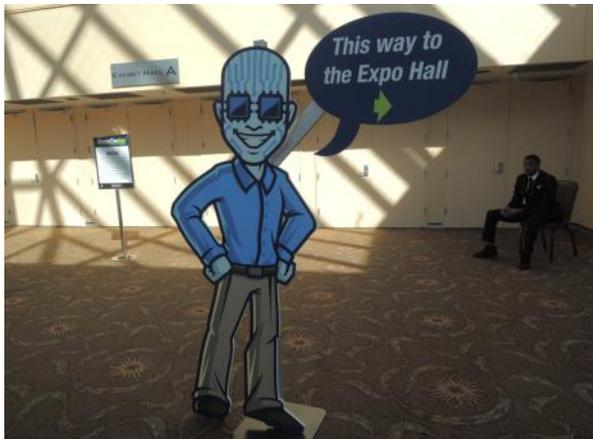
Session



Keynote

DesignCon 2019 展示ブース

- ・ 展示ブース数：約175 （2017は約150, 2018は約190, ）
- ・ セッションのテーマにも見られた高速伝送（32Gbps、112Gbps）に関連するコネクタベンダ、ケーブルベンダの出展が目立っていた印象
- ・ 日本からも部品ベンダ、コネクタベンダ、EDAベンダなど数社の出展がみられた。
- ・ プリント基板製造ベンダは、シリコンバレー近郊に製造拠点を置くものや、中国、台湾に製造を委託しているメーカーなど様々。
- ・ EDAベンダはHigh Speed DigitalやPDNをテーマにしている展示が多くみられた。



Expo Hall案内



Expo会場入り口



多くの来場者でにぎわっていた

DesignCon 2019 スポンサー

参考: 2017スポンサ

MEDAL SPONSORS

HOST SPONSOR
KEYSIGHT TECHNOLOGIES

CORPORATE
Amphenol molex Rambus

DIAMOND
ROHDE & SCHWARZ Anritsu samtec TELEDYNE LECROY

PLATINUM
cadence CST TE Tektronix

GOLD
CARLISLE SANMINA SiSoft

SILVER
Altium ANSYS DOOSAN HRS HIROSE ELECTRIC USA
isola ITEQ MENTOR NATIONAL INSTRUMENTS
Pulse Electronics Rosenberger SPECTRA

参考: 2018スポンサ

MEDAL SPONSORS

Corporate Sponsors
Amphenol molex Rambus

Diamond Sponsors
Anritsu samtec

Platinum Sponsors
cadence ROHDE & SCHWARZ TE

Gold Sponsors
CST Pulse SiSoft TELEDYNE LECROY Tektronix

Silver Sponsors
ANSYS CARLISLE LUXSHARE SANYO SANMINA SL

2019 Medal Sponsors

Host Sponsor



Corporate Sponsors



Diamond Sponsors



Platinum Sponsors



Gold Sponsors



Silver Sponsors



DesignCon 2019 セミナ

- タイトル検索ワード
 - IBIS: 5件、AMI:5件、56G: 3件、112G: 15件、DDR:11件、PCI: 10件、PAM4:12件、SIGNAL:23件、POWER: 19件、EMI:3件、NOISE: 6件、PDN:4件、RFI: 1件、5G:4件、MACHINE LEARNING:7件、Roughness:2件
- 伝統的IBISを使用 : 5件 / IBIS-AMIを使用 : 11件
- 100テーマ以上の発表があり、同時に8テーマずつ発表が行われるほど発表数が豊富。
- 1日目はBootCamp / Tutorial が行われており、裾野を広げる取り組みがなされていた。
- 2日目、3日目は学会発表もしくはPanel discussionの形。
 - 去年は機械学習実例発表が増加したが、今年は機械学習でのBootCamp開催にまで至っているのが印象的
 - IBIS-AMIを長所と課題について、IBIS AMI関係者によるパネルディスカッションが開催されており、AMIにおける課題とその取り組みについて広く周知していた

DesignCon 2019 セミナ

- 1日目 Boot Camp / Tutorial
 - Tutorial Advanced IBIS-AMI Techniques for 32 GT/s & Beyond
IBIS-AMIの初歩的な機能紹介から応用まで。
各種イコライザの特性やCDRの解説あり。
- 2日目、3日目
 - PCI Express Gen5、112Gbps高速信号伝送など高速シリアル伝送線路にまつわるセッションが多数みられた。
 - DDR5、LPDDR5をテーマにしたセッションも多く、規格の解説から、IBIS-AMIを用いた解析手法の紹介など、EDAベンダー各社がそれぞれの手法で検討していた。
 - プリント基板におけるエッチングによるパターン形状の変化が伝送線路の特性にどのような影響を与えるのか、基材特性がどのような影響を与えるかなど基板製造にかかわるセッションもあった
 - PDNに関するセッションも多数みられた

DesignCon 2019 セミナ

<所感>

- 去年は機械学習実例発表が増加したが、今年は機械学習でのセッション開催にまで至っており、高速信号伝送やモデリング技術に対しても機械学習を適用するトレンドを強く感じた。PDNを考慮したSI、112G PAM4伝送、IBIS-AMIのDDR5モデルと最新の解析技術においてもIBIS、IBIS-AMIが広く使用されており、今後も改版されるIBISモデルの動向確認、日本における情報発信が重要だと感じた（川田）
- 最も多く目に留まったセッションテーマはDDR5、LPDDR5であった。規格説明からEDAベンダーによる解析手法の検討まで活発な議論がなされたいたと感じた。
つづいて多くのセッションテーマとなっていたのはPCI Express Gen5をはじめとした、高速伝送技術であった。測定方法、IBIS-AMIを用いた解析方法などテーマとして取り上げられていたPower-Aware-SIシミュレーション、PDNについてのセッションテーマも多く見られた。IBIS7.0よりLSI内部のPDNが表現できるようになることも、このテーマに対する興味を加速しているのではないかと感じた。（遠藤）

IBIS Summit

タイムスケジュール：

7:00～ 主要メンバによるBreakfast meeting

8:00～ IBIS Summit

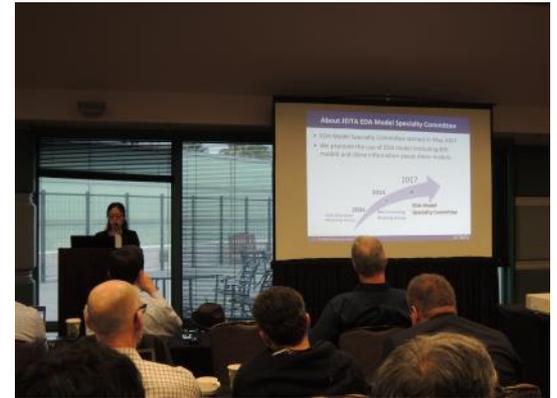
スポンサー：Cadence, KEYSIGHT, Mentor, Synopsys



Breakfast meeting



Chair Mikeさん



EDAモデル専門委員主査 川田さん

IBIS Summit

• Breakfast meeting

- 7:00から朝食を食べながらのBreakfast Meetingに参加
- 米国IBIS委員会の主要メンバ7名と日本からの面々。日本のメンバはJEITA EDAモデル専門委員会2名、JEITA半導体&システム設計技術委員会からも3名、シルバコ副会長古井様が参加
- それぞれの名刺交換（Lance WangさんはZuken USA Inc.に転職されていた）の後、食事がスタート。今回は日本人の参加が多いためか？技術的な内容のディスカッションはなく、顔合わせを行う場となった

• Chair Mikeさんとの会話にて

- 今年発表したJEITA半導体&システム設計技術委員会がLPBがIEC,IEEE標準化活動を行っており、MikeさんとIBISモデルにおける標準化活動について聞く機会があった。IBISモデル自体は以前IBIS3.2時代IEC国際標準として制定されていた時期もあったが、現在は廃止（撤回？）されている。Mikeさんは標準化することで情報が広く発信できない点、有料になる点を強く懸念されていた
- 現在所属しているSAE ITCのサイトからは有料でIBISモデルの仕様書がダウンロードされるしくみということだったが、一方IBIS Open Forumでは無料で情報を発信している。IBIS Open Forumの活動と所属団体との方針の違いがあるようだ
- Chairの後継者が見当たらない、と漏らしていた

IBIS Summit

- 主要トピックの紹介
 - IBIS7.0
 - ✓ 現在draft3版が公開中で、2019年3月に批准予定。IBIS-AMI改善、接続改善
 - JEITA
 - ✓ EDAモデル専門委員会からASIAN IBIS Summit in Tokyoを含めた取組みを紹介
 - ✓ 半導体&システム設計技術委員会からLPBにおけるIBIS7.0対応の取組みを紹介
 - DDR5
 - ✓ IBIS-AMIでAsymmetric Rt/Ftの影響を最小にするためのAMIフローの構成、タイムドメインフローにおける問題点の提示
 - ✓ DQS Rxモデルへの入力するするクロック信号のモデル化への課題は？ジッタ、遅延時間は正確に考慮できるのか？clock_timesを使用する方法は？
 - ✓ DDR解析でSSOノイズを考慮するための検証
 - PDN
 - ✓ On fie De-capモデルのモデル化提案
 - ✓ IBISモデルをIRドロップ、ACシミュレーションとして使用するため課題と提案
 - Channel Operating Margin (COM)
 - ✓ COMでAMI結果同様の結果を再現させる方法について検討。COMはチャネルコンプライアンスに優れているが、正確なマージン評価ができるのはAMIのWaveform解析との結論であった
 - Baseline Wander
 - ✓ SERDES解析にどのような影響を及ぼすのかを検証した事例。統計解析を行うためにはAMI解析で修正が必要

IBIS Summit

- 所感

- IBIS-AMIのDDR5に対する課題についてはまだ明確な解決策は明らかになっていないが、僅か1年で各社検討した対応策を発表、議論しており、早いペースで開発が進んでいる。今後もDesign ConのSummitについても動向を把握し、情報を発信する必要性を強く感じた（川田）
- 今年3月にIBIS3.0 は今年3月に批准される見込みのため、次回のIBISセミナーでIBIS 7.0における更新情報詳細を発信してもよいのではないかと思った（川田）
- 各社EDAベンダーでIBIS-AMIを用いてDDR5、LPDDR5を解析する手法を検討しており、活発な議論がなされていた。また、IBIS7.0よりLSI内部のPDNも表現できるようになるが、LPBフォーマットや従来のIBISモデルに[Z_PDN]を付加してPDNを再現する方法など、今後もどの手法が大きな流れとなるのか注目していきたいと感じた（遠藤）
- IBIS Open Forum ChairmanのMikeさんより、日本におけるIBIS SummitのマネジメントはJEITAが行ってくれているので非常にありがたいとお言葉をいただいた（遠藤）

以降補足

IBIS Summit

DesignCon 2019 IBIS Summit Meeting アジェンダ

<https://ibis.org/summits/feb19/>

- 8:00 AM REFRESHMENTS AND SIGN IN
- 8:30 AM OFFICIAL OPENING
- Welcome to Summit
 - Introductions
- 8:45 AM IBIS Update
- Mike LaBonte (SiSoft, USA)
- 9:00 AM JEITA EDA Model Speciality Committee Report
- Miyo Kawata (ANSYS, Japan)
- 9:15 AM IBIS-ATM Task Group Report
- Arpad Muranyi (Mentor, a Siemens Business, USA)
- 9:25 AM Introducing IBIS Version 7.0
- Michael Mirmak (Intel Corporation, USA)
- 9:50 AM IBIS Version 7.0 Hierarchy Additions
- Bob Ross (Teraspeed Labs, USA)
- 10:05 AM BREAK AND REFRESHMENTS
- 10:25 AM IBIS V7 and IEEE 2401 Harmonization
- Genichi Tanaka (Renesas, Japan)



IBIS Summit

- 10:50 AM COM & IBIS-AMI - How They Relate & Where They Diverge
Hsinho Wu, Masashi Shimanouchi, Mike Li
(Intel Corporation, USA)
[Presented by Hsinho Wu (Intel Corporation, USA)]
- 11:30 AM Baseline Wander, Its Time-domain and Statistical Analysis
Vladimir Dmitriev-Zdorov
(Mentor, a Siemens Business; USA)
- 12:00 PM FREE LUNCH
- Pre-registration required
- 1:00 PM Channel Simulation Using IBIS models with Asymmetric Rising and Falling Edges
Ken Willis, Kumar Keshavan, Ambrish Varma
(Cadence Design Systems, USA)
[Presented by Ken Willis (Cadence Design Systems, USA)]
- 1:20 PM Methods to Reduce Effects of DDR5 Rise/Fall Asymmetry in IBIS-AMI Simulations
Walter Katz (SiSoft, USA)
- 1:50 PM Study on Potential Feature Additions for Bit-by-bit Simulation Technique to Address DDR5 Requirements
Ted Mido (Synopsys, Japan)
- 2:20 PM Study of DDR Asymmetric Rt/Ft in Existing IBIS-AMI Flow
Wei-hsing Huang# and Wei-kai Shih## (SPISim, #USA, ##Japan)
[Presented by Wei-hsing Huang (SPISim, USA)]

IBIS Summit

- 2:50 PM BREAK AND REFRESHMENTS
- 3:10 PM Modeling Forwarded Clock Interfaces with IBIS-AMI
Justin Butterfield (Micron Technology, USA)
- 3:30 PM Rx Clock Forwarding Investigation
Stephen Slater (Keysight Technologies, USA)
- 3:50 PM Impact of True Strobe Timing on DDR Channel
Simulation with IBIS-AMI Models
Ken Willis, Kumar Keshavan, Ambrish Varma (Cadence Design Systems, USA)
[Presented by Ambrish Varma (Cadence Design Systems, USA)]
- 4:10 PM On Die De-cap Modeling Proposal
Kazuki Murata*, Megumi Ono** (Ricoh*, Socionext**, Japan)
[Presented by Megumi Ono (Scionext, Japan)]
- 4:40 PM IBIS Based Modeling for System-Level Power Delivery
Zhiping Yang*, Songping Wu*, Kingler Cai**, Joshua Luo***, Yingxin Sun***
(Google*, Intel Corporation**, Cadence Design Systems***; USA)
[Presented by Zhiping Yang (Google, USA)]
- 4:55 PM OPEN DISCUSSION AND CONCLUDING ITEMS
- Next Open Forum Meeting: February 22, 2019
- 5:00 PM END OF MEETING ROOM AVAILABILITY